

Se crea la Red-RISCV para impulsar el desarrollo de hardware de código abierto

- Formada por 14 grupos de investigación de toda España, y coordinada por el Instituto de Microelectrónica de Barcelona (IMB-CNM) del CSIC, estimulará la investigación, la formación y la cooperación con empresas en torno al hardware abierto
- Impulsará el desarrollo de arquitecturas de procesadores basadas en un lenguaje máquina de ISA abierto, reducido, estándar y modular, cuya proyección puede ser tan disruptiva como lo fue en su día la irrupción del sistema operativo Linux de código abierto en el ámbito del software
- El objetivo es ganar en independencia tecnológica, reducir los riesgos de monopolio y facilitar el desarrollo de nuevas aplicaciones, así como la competencia del mercado
- Los días 5 y 6 de febrero se realizan las primeras jornadas de esta red, que ya ha despertado un gran interés por parte del sector empresarial

Barcelona, 4 de febrero de 2020. La **Red-RISCV** nace como red de investigación en torno a las arquitecturas de hardware abierto basadas en el ISA RISC-V (el lenguaje máquina de código abierto), pero pretende ir más allá y generar sinergias colaborativas entre los ámbitos de la investigación, la formación y la innovación.

Está formada por 14 centros de investigación y universidades, y cuenta con el apoyo inicial del Ministerio de Innovación y Ciencia. Coordinada por el Instituto de Microelectrónica de Barcelona (IMB-CNM) del Consejo Superior de Investigaciones Científicas (CSIC), agrupa 14 grupos de diferentes centros de investigación: Barcelona Supercomputing Center – Centro Nacional de Supercomputación (M. Valero); Centro Nacional de Microelectrónica del CSIC (Ll. Terés); Universitat Autònoma de Barcelona (A. Espinosa), Universitat de Barcelona (M. López), Universidad de Cantabria (E. Vallejo), Universidad Complutense de Madrid (K. Olcoz), Universidad de A Coruña (R. Doallo), Universidad de Extremadura (J. Plaza), Universitat de les Illes Balears (B. Alorda), Universidad de Murcia (A. Ros), Universitat Politècnica de Catalunya (F. Moll), Universitat Politècnica de València (J. Flich), Universitat Rovira i Virgili (O. Farràs) y Universidad de Zaragoza (V. Viñals). Además, cuenta ya con más de 25 empresas interesadas en participar en sus actividades

Los días 5 y 6 de febrero se realizan las primeras Jornadas de esta red en la Escuela de Ingenieros (Carrer de les Sitges) del campus de la Universitat Autònoma de Barcelona (UAB), jornadas que supondrán su presentación en sociedad.

Reducir la dependencia del oligopolio del mercado de procesadores

La arquitectura **RISC-V de ISA abierto** comenzó a fraguarse en 2010 en la Universidad de Berkeley como una necesidad para reducir la enorme y creciente complejidad de los repertorios de instrucciones de los microprocesadores, y para limitar la fuerte dependencia de terceros países y oligopolios empresariales.

Los microprocesadores son el corazón de todos los dispositivos electrónicos con capacidad de cómputo. Contienen el repertorio de instrucciones básicas (**ISA, del inglés Instruction Set**

Architecture) de lo que cada máquina puede ejecutar. Este paquete de instrucciones en lenguaje máquina es la pieza indispensable para el funcionamiento del dispositivo y es también el punto de encuentro de hardware y software.

El mercado actual de los microprocesadores está dominado por apenas tres grandes fabricantes (INTEL, ARM, AMD), cada uno con su propio ISA y con diferentes modelos de negocio. En el caso de la arquitectura x86 (INTEL y AMD) el principal inconveniente es que el ISA está poco optimizado por la necesaria compatibilidad con las generaciones anteriores. Además, en sus últimas versiones hay que compensar con regalías a INTEL y AMD. El modelo de negocio de ARM es de un ISA cerrado. Por lo tanto, existe la obligación de pagar cantidades que van desde los centenares de miles hasta los millones de euros.

La arquitectura **RISC-V de ISA abierto persigue** reducir esa creciente complejidad de los repertorios de instrucciones que dominan el mercado, que son principalmente dos, Intel x86 y ARM. El objetivo es fijar un ISA reducido, estándar, modular y abierto que pueda tener extensiones para ámbitos de aplicación específica, y evite o limite los sobre-costes por regalías y desarrollo.

El hardware de código abierto tiene el potencial de ser tan disruptivo como en su día lo fue Linux, paradigma del software de código abierto, que facilitó el crecimiento de una enorme comunidad de desarrollo de software en abierto y consiguió reducir la dependencia de los usuarios respecto a las grandes firmas de software.

“Las nuevas arquitecturas RISC-V de ISA abierto ofrecen una oportunidad para ganar en independencia tecnológica, aumentar las garantías de un hardware más robusto y seguro, reducir los riesgos de monopolio y facilitar la competencia del mercado, algo que Europa no puede desaprovechar”, comenta **Lluís Terés**, investigador del CSIC en el IMB-CNM y **coordinador de la red RISC-V**.

Investigación, formación e innovación industrial

La **Red-RISC-V** promoverá la colaboración y la evolución conjunta de la investigación, la formación y la innovación.

En **investigación** se abren nuevas perspectivas al disponer de un ISA abierto como estándar de base y se proponen crear extensiones especializadas en diferentes campos, como la criptografía, la genómica, la inteligencia artificial o la internet de las cosas. A su vez, estos nuevos mercados abiertos tendrán nuevas necesidades y retos que la I+D+i académica deberá afrontar y resolver junto con la industria.

A **nivel formativo**, tanto universitario como profesional, RISC-V ofrece una oportunidad para renovar y reorientar los currículos académicos, y permitirá abordar esta nueva arquitectura anticipadamente, pues todavía no ha explotado en el mercado, dando nuevas competencias y ventajas competitivas a los titulados. Asimismo, la industria podrá tener una participación más activa en los procesos formativos.

En cuanto a la **prospectiva e innovación industrial**, RISC-V es una apuesta de futuro para empresas tecnológicas de todo tipo y tamaño, ya que podrán abordar el desarrollo de sus propios núcleos procesadores o seleccionar entre distintos proveedores el RISC-V más adecuado a sus necesidades, sin tener que afrontar altos costes por regalías.

“En los tres ámbitos citados, la incorporación del hardware abierto facilita y promueve la actitud y la actividad colaborativa”, explica **Mateo Valero, director del BSC**. *“Por tanto,*

consideramos que la mayor contribución de RISC-V consistirá en facilitar un entorno de sinergias colaborativas entre estos tres actores fundamentales, investigación, formación y perspectiva industrial”

Lagarto, un embrión que nace junto con Red-RISCV

La Red-RISCV se gestó junto con el desarrollo de Lagarto, el primer procesador con repertorio de instrucciones ISA RISC-V de código abierto desarrollado en España. Este proyecto, liderado por el Barcelona Supercomputing Center (BSC), contó con la participación del IMB-CNM del CSIC, del Centro de Investigación en Computación del IPN mexicano, y de los Departamentos de Arquitectura de Computadores (DAC) y de Ingeniería Electrónica de la UPC. Lagarto se engendró a partir de un diseño inicial del IPN mexicano.

El sistema, que ha dado unos resultados superiores a los esperados, fue desarrollado totalmente en España y fabricado en Taiwán con la tecnología de TSMC CMOS de 65 nanómetros a través de los servicios de EURORACTICE, una plataforma creada por la Comisión Europea para impulsar el desarrollo de sistemas integrados inteligentes con tecnologías microelectrónicas.

El hito de Lagarto es que está desarrollado en base a un ISA abierto en su totalidad y, sobretudo, que es el primer procesador de código abierto creado en España, con la ambición de contribuir como uno de los primeros embriones de los futuros procesadores europeos. Cabe decir que el primer chip español, que no era un procesador, fue diseñado en 1982 en la UAB (Grupo VLSI) por algunos investigadores del mismo equipo que ahora, desde el Instituto de Microelectrónica de Barcelona (IMB-CNM) del CSIC, han contribuido al desarrollo del Lagarto RISC-V. En todo caso, el desarrollo de procesadores nunca había ido más allá de los modelos sobre papel o de laboratorio y sin proyección de mercado.

“Un chip, o un ASIC (Application Specific Integrated Circuit)”, aclara **Lluís Terés**, “hace una función concreta y más o menos cerrada. No es así el procesador, que se puede programar con software desde el exterior, puede hacer cosas muy diferentes y es el núcleo de cualquier dispositivo con capacidad de computación”.

El Laboratorio Europeo para la Arquitectura Abierta (LOCA)

Otra iniciativa, muy en consonancia con la Red-RISCV, es la creación del European Laboratory for Open Computer Architecture (LOCA), liderada por el BSC y que tendrá sede en Barcelona. Su misión será diseñar y desarrollar en Europa chips y procesadores de computación de altas prestaciones.

“LOCA será un laboratorio colaborativo que acogerá empresas, fundaciones e instituciones académicas que comparten la visión de que es necesario crear arquitecturas abiertas para garantizar la transparencia, la competitividad y la soberanía tecnológica”, afirma **Mateo Valero**, director del BSC.

El proyecto DRAC

El proyecto DRAC (Designing RISC-V-based Accelerators for next generation Computers) es una iniciativa catalana liderada por el BSC, con participación de cuatro centros universitarios (UAB, UB, UPC i URV), varias empresas (eSilicon, SemiDynamics, Silicon Gears) y centros colaboradores (CNAG, CNM-CSIC). El equipo de DRAC está empezando a trabajar en el desarrollo de aceleradores de cómputo para ámbitos específicos de aplicación (seguridad, criptografía, genómica, conducción automática, etc.), basados en la arquitectura RISC-V. Se

trata de un consorcio local que aglutina la experiencia necesaria para cubrir todas las etapas de desarrollo de un procesador y que tiene la voluntad de contribuir al ecosistema local e internacional en torno a estas nuevas arquitecturas abiertas.

El proyecto DRAC está dirigido por **Miquel Moretó**, del BSC e investigador Ramon y Cajal de la Universitat Politècnica de Catalunya (UPC), y co-financiado por la Generalitat de Catalunya a través del programa “RIS3CAT-Tecnologies Emergents” y fondos EU-ERDF de la Unión Europea.

La RISC-V Foundation

A nivel mundial, el movimiento que impulsa la arquitectura de hardware de código abierto empezó a tomar fuerza en 2015 con la creación de la **RISC-V Foundation**, que publicó en abierto las especificaciones de base del ISA RISC-V y que se ocupa de coordinar y mantener la evolución del correspondiente estándar de facto. Esta fundación ha crecido y sigue creciendo día a día. Actualmente, ya tiene más de 450 miembros en 33 países de todo el mundo, de los que más de 200 son del sector industrial con pequeñas, medianas y grandes empresas tecnológicas.

Página de las jornadas: <http://red-riscv.org/>

Las sesiones técnicas se retransmitirán en “streaming”