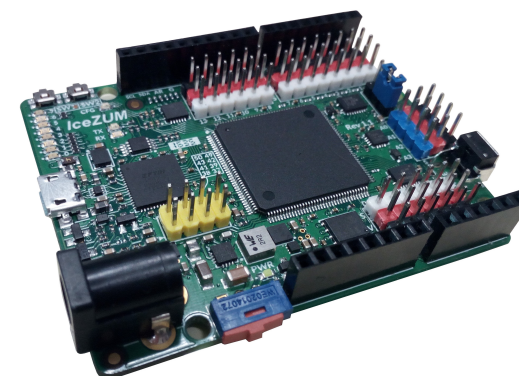


El ISA abierto RISC-V como eje vertebrador de las asignaturas sobre Arquitectura de Computadores



Katia Leal Algara
Juan González Gómez

Research group on Software
Development at URJC - **SoftDev**



Universidad
Rey Juan Carlos

Introducción

- **Asignatura:** Arquitectura de Computadores
- **Carácter:** Obligatoria
- **Créditos:** 6 ECTS, aproximadamente unas 60 horas de docencia teórica y práctica en todas sus modalidades
 - 3 ECTS teóricos
 - 3 ECTS prácticos
- **Breve descripción de sus contenidos:**
 - Fundamentos de Arquitectura de Computadores
 - Rutas de datos y unidades de control: monociclo, multiciclo y segmentación
 - Sistema de memoria: principal, caché y virtual
 - Sistema de E/S: programación, interrupciones

¿Qué micro utilizar?

- Uno que nos sirva tanto para teoría como para prácticas
- **Teoría:**
 - Uno del que se disponga de bibliografía, a ser posible, extensa
- **Prácticas:**
 - Uno del que se disponga de un simulador, a ser posible, libre
- Que sea *real*
- Que sea *actual*

Estudiantes

■ Grados:

- Ingeniería de Robótica Software, 1º
- Ingeniería en Tecnologías de la Telecomunicación, 3º
- Ingeniería en Sistemas de Telecomunicación, 3º
- Ingeniería Telemática, 3º
- Ingeniería de Sistemas Audiovisuales y Multimedia, 4º

■ Dobles Grados:

- Ingeniería en Sistemas de Telecomunicación + Administración y Dirección de Empresas, 4º
- Ingeniería en Tecnologías de la Telecomunicación + Ingeniería Aeroespacial en Aeronavegación, 4º

Entonces

■ Curso 2011-2012:

- Primer curso en el que se imparte “Arquitectura de Computadores” en los nuevos Grados de la Escuela Superior de Ingeniería de Telecomunicación de la URJC
- Micro: MIPS64
- Simulador: *WinMIPS64*

■ Curso 2012-2013:

- David A. Patterson, John L. Hennessy, *Computer organization and design. The hardware/software interface*, 4 edition. Morgan Kaufmann, 2012
- Micro: MIPS32
- Simulador: **MARS - MIPS Assembler and Runtime Simulator**

Ahora

■ Curso 2018-2019:

- Primer curso en el que se imparte “Arquitectura de Computadores”, pero sólo en el Grado en Ingeniería de Robótica Software, 1º
- David A. Patterson, John L. Hennessy, *Computer organization and design. The hardware/software interface, RISC-V Edition*. Morgan Kaufmann, 2018
- Micro: en teoría el RISC-V 64 y en prácticas RISC-V 32
- Simulador: **RARS - RISC-V Assembler and Runtime Simulator**, 32 bits

■ Curso 2019-2020:

- Se imparte en el resto de Grados

¿Por qué RISC-V?

- Muchas alternativas RISC: ARM o MIPS, ¿por qué RISC-V?
- Una cuestión de docencia:
 - Hardware abierto, *open-source hardware*
 - Similar a MIPS, que ha sido la arquitectura de referencia utilizada en la mayor parte de los textos docentes disponibles para la enseñanza de Arquitectura de Computadores
 - Simulador RARS idéntico al simulador MARS

Alternativa prometedora

- Desarrollado originalmente en la Universidad de California en Berkeley, ofrece una versión simple, elegante y moderna de cómo deberían ser los repertorios de instrucciones actuales
- Más de 40 compañías se han unido a la Fundación RISC-V. La lista de patrocinadores incluye, virtualmente, a todos los actores principales, salvo ARM e Intel, como AMD, Google, Hewlett Packard Enterprise, IBM, Microsoft, NVIDIA, Oracle, y Qualcomm
- RISC-V Vs ARM/x86: diseño modular
- Flexibilidad: posibilidad de construir procesadores personalizados

Objetivos cumplidos

- RISC-V nos sirve tanto para teoría como para prácticas
- **Teoría:**
 - David A. Patterson, John L. Hennessy, *Computer organization and design. The hardware/software interface, RISC-V Edition*. Morgan Kaufmann, 2018
 - Algo más técnico, también se dispone de la “[Guía Práctica de RISC-V: El Atlas de una Arquitectura Abierta](#)”, que se puede descargar gratuitamente
 - John L. Hennessy , David A. Patterson , *Computer Architecture: A Quantitative Approach*, 6th Edition. Morgan Kaufmann, 2017.
 - Al ser tan similar a MIPS, podemos incluir aquí casi toda la bibliografía Patterson-Hennessy, Hennessy-Patterson
- **Prácticas:**
 - Simulador RARS, gratuito y open-source. Casualmente, igual a MARS
- RISC-V es *real y actual*
- ¿RISC-V es el futuro?

Laboratorio en abierto

■ Plataforma: **Github**

- Contenido en wiki
- Figuras y programas de ejemplo en repositorio

<https://github.com/myTeachingURJC/2019-20-LAB-AO/wiki>



Contenido del laboratorio

- 5 Prácticas / 12 sesiones:
 - P1 - El simulador RARS: *Text, Static*
 - P2 - E/S Mapeada. Llamadas al Sistema
 - P3 - Bucles y saltos condicionales
 - P4 - Subrutinas y Pila: *Stack*
 - P5 - Memoria dinámica: *Heap*
- 53 vídeos en Youtube
- 120 ejercicios resueltos, 10 por session



<https://www.youtube.com/watch?v=GYvBAHdkRwk&list=PLmnz0JqIMEzVxJhT6F046jaz7mObMujmx&index=1>

Material referenciado desde la Fundación RISC-V

<https://riscv.org/educational-materials>



ABOUT ▾ MEMBERSHIP ▾ SPECS & SUPPORT ▾ CORES & TOOLS ▾ NEWS ▾ EVENTS ▾ 

Educational Materials

[Home](#) / Educational Materials

IISc Bangalore	Link	Open	1	FPGA	HW	a,c,f
IISc Bangalore	Link	Reg	1	Unspecified	HW	c
IISc Bangalore - automated assembly gen	Link	Open	2	Sim	tools	e
Tsinghua University	Link	Open	3	Sim	tools	e
Rey Juan Carlos University (Spanish only)	Link	Open	1	Sim/FPGA	SW	





IMPORTANT LINKS

- RISC-V Foundation
- Specifications
- Membership Application
- Proceedings

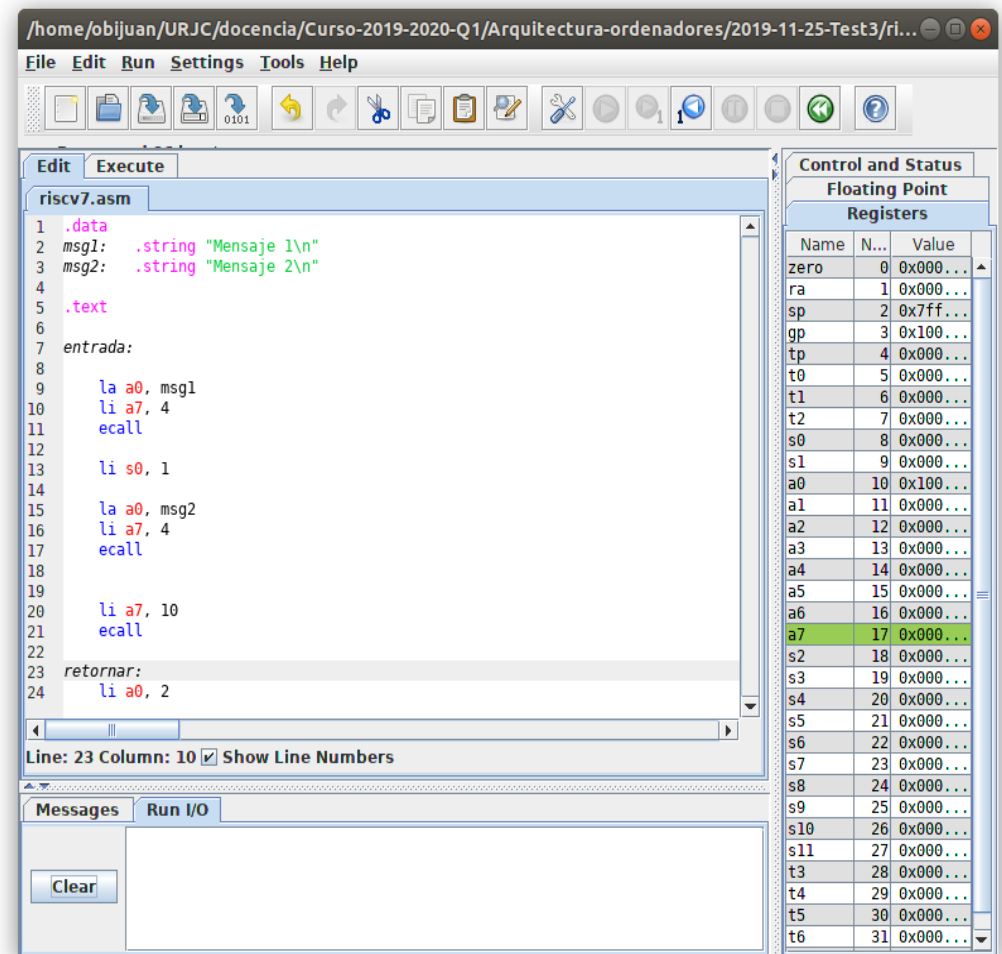
JOIN THE MAILING LISTS

- RISC-V Announcements
- RISC-V Hardware Developers
- RISC-V ISA Specification Discussion

Simulador RARS: Software libre

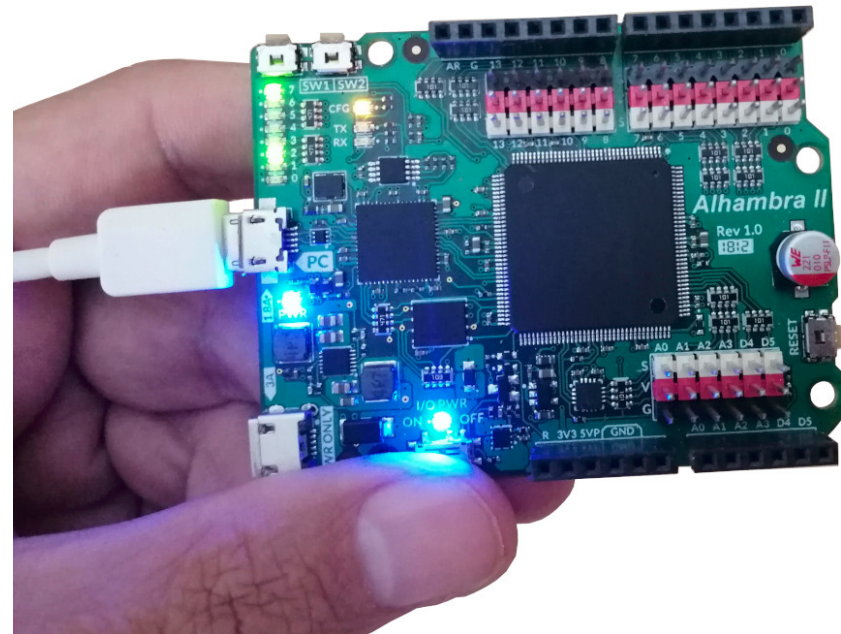
- RISC-V 32IM (32 bits)
- Software libre y multiplataforma
- Nos permite modificarlo y adaptarlo
- Disponible en Github:

<https://github.com/TheThirdOne/rars>



Síntesis en FPGAs libres

- Planes futuros: añadir prácticas para trabajar con un RISC-V real
- Desde el RARS se exporta fácilmente el código máquina
- Carga en un RISC-V sintetizado en la FPGA
- FPGA Lattice ICE40HX8K
- PicoRV32 (Clifford Wolf)
- Placa Alhambra II (Open Hardware)

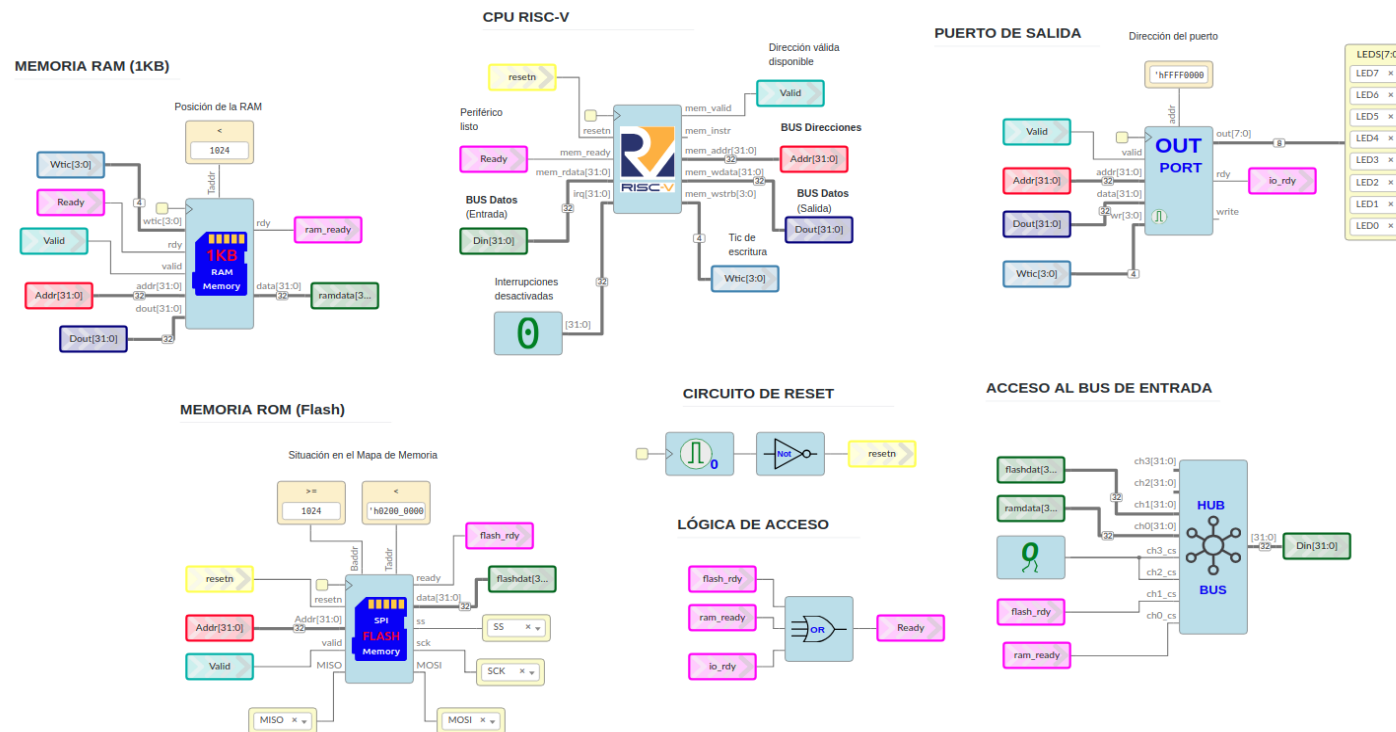


<https://github.com/FPGAwards/Alhambra-II-FPGA/wiki>

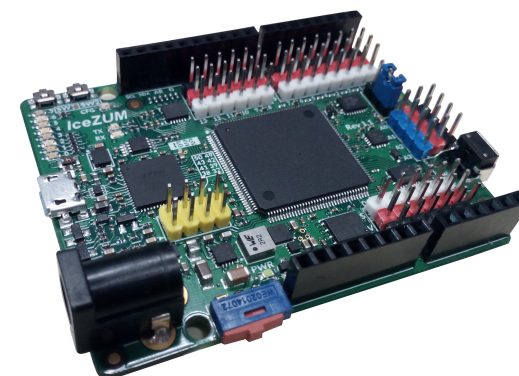
Síntesis *for dummies*

- **Icestudio**: Síntesis y carga de circuitos en las FPGA Libres
- Software libre y multiplataforma
- Muy fácil de usar

<https://github.com/Obijuan/RISC-V-FPGA>



El ISA abierto RISC-V como eje vertebrador de las asignaturas sobre Arquitectura de Computadores



Katia Leal Algara
Juan González Gómez

Research group on Software
Development at URJC - **SoftDev**

