



Red-RISC-V: Arranque y Primeras Jornadas de la red

Esta primera reunión y jornadas de la Red-RISC-V propuestas para los días 5 y 6 de febrero de 2020, se combinará y coordinará con las jornadas de la red CAPAP-H que se realizarán en el mismo campus de la UAB los días 6 y 7 de febrero de 2020. El día 6 entre las 10:00 y las 12:00 se comparten las sesiones con la red CAPAP-H y hemos tratado de poner ponencias que puedan interesar a ambas redes.

Agenda prevista para Red-RISC-V

(Todas las sesiones técnicas de Red-RISC-V se retransmitirán en “streaming” por el canal Youtube de la Escuela de Ingeniería de la UAB: <http://bit.do/enginyeriaUAByt>)

5 de febrero de 2020

Aula Q4-1003

10:00- Inscripción y recogida de credenciales (con café/té/pastas)

Aula Q4-1009

11:00- Reunión de arranque de Red-RISC-V (exclusiva para miembros de la red)

12:45- Salimos a comer hacia el restaurante de la Facultad de Letras

Sala de “Graus” [Empiezan las Sesiones técnicas]

14:30- Una propuesta de actualización curricular en base al RISC-V (Elena Valderrama, UAB)

15:00- El ISA abierto RISC-V como eje vertebrador de las asignaturas relacionadas con Arquitectura de Computadores (Katia Leal y Juan Gonzalez, URJC)

15:30- Dispositivos IoT de nueva generación basados en arquitectura RISC-V (Xavier Llauredó, nVision)

16:00- Pausa café & Posters & Socialización **(Q4-1003)**

Sala de “Graus”

16:30- Overview of the RISC-V Core Market (Roger Espasa, SemiDynamics)

17:00- PULP RISC-V for IoT (Frank K. Gürkaynak, ETH Zurich)

17:30- Secure Foundational Exabyte HPC Systems for 2020 and Beyond SV/128-RISC-V (Steve Wallach, Los Alamos Nat. Lab.)

18:00- Reunión de arranque de Red-RISC-V (continuación)

19:00- Cierre del día

20:00- Cena colectiva en el Hotel Campus UAB

6 de febrero de 2020 (Jornada parcialmente compartida con la red CAPAP-H)

Aula Q4-1009

09:00- Trusted embedded systems based on RISC-V processors (Piedad Brox Jiménez, IMSE-US)

09:30- Efficiently accelerating AI workloads with RISC-V (Guillem Sole, Esperanto Technologies)

10:15- Pausa café & Posters & Socialización **(Q4-1003)**

Sala de “Graus”

10:30- RISC-V and open hardware: opportunity and challenge for the EU (Mateo Valero, UPC-BSC)

11:15- Aceleradores RISC-V: una propuesta de modelo computacional y su explotación (Xavier Martorell, Carlos Álvarez, Daniel Jiménez, UPC-BSC)



12:00- Enhanced Tools for RISC-V Processor Development and Customization + Tools Hands-on/demo (Zdenek Prikryl, Codasip)

12:45- Salimos a comer hacia el restaurante de la Facultad de Letras

IMB-CNM (CSIC)

14:30- Presentación y visita de la Sala Blanca e instalaciones del IMB-CNM (CSIC)

15:45- Clausura, despedida y cierre de las jornadas Red-RISCv des del IMB-CNM.

16:15- Sesión de conclusiones/previsiones de los miembros natos de Red-RISCv (**Escuela de Ingeniería Q4-1009**) [**Café y Recogida de Posters**]

Mapa de localización de espacios del evento y restaurantes cercanos

